Архітектура обчислювальних систем та схемотехніка

*Лабораторна робота №4*

Виконав:

Студент групи ПМО-11

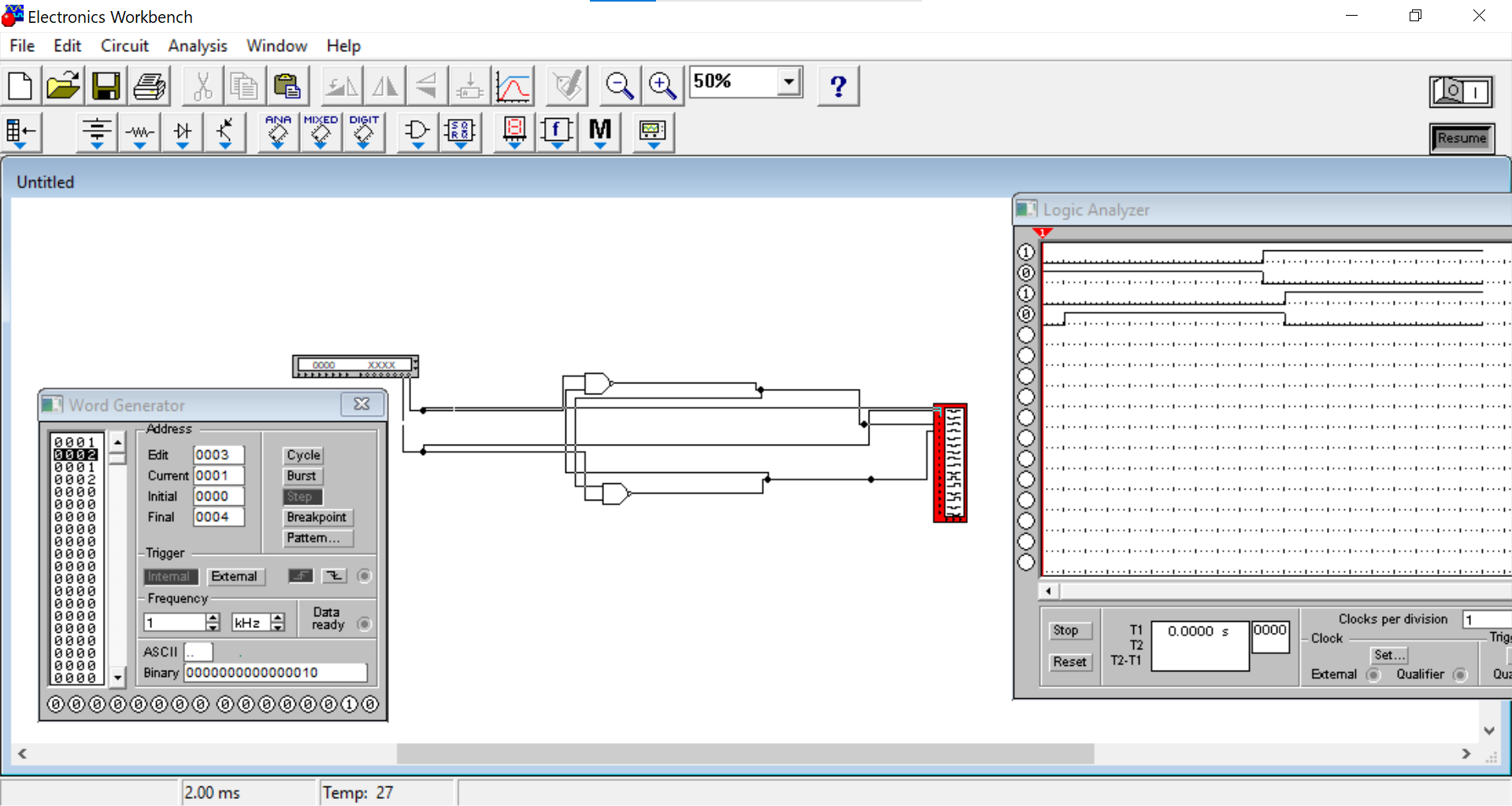
Ласько Маркіян

**Тема:** Побудова і дослідження елементів пам’яті на базі тригерних схем.

**Мета роботи:** З використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірити роботу схем, скласти таблиці істинності та створити макроелементи кожної схеми.

**Результат роботи:**  Попередньо ознайомившись з можливостями Electronics Workbench (EWB) та теоретичними відомостями до Лабораторної роботи №4, за допомогою логічних елементів І, НЕ, АБО синтезував у робочому полі комбінаційні схеми тригерів: з роздільним встановленням(RS), із затримкою(D), універсальний(JK) та лічильний(T).

**RS-тригер:**



Для цього використано:

● 2-input NAND gate (2NOT gates (2 шт)

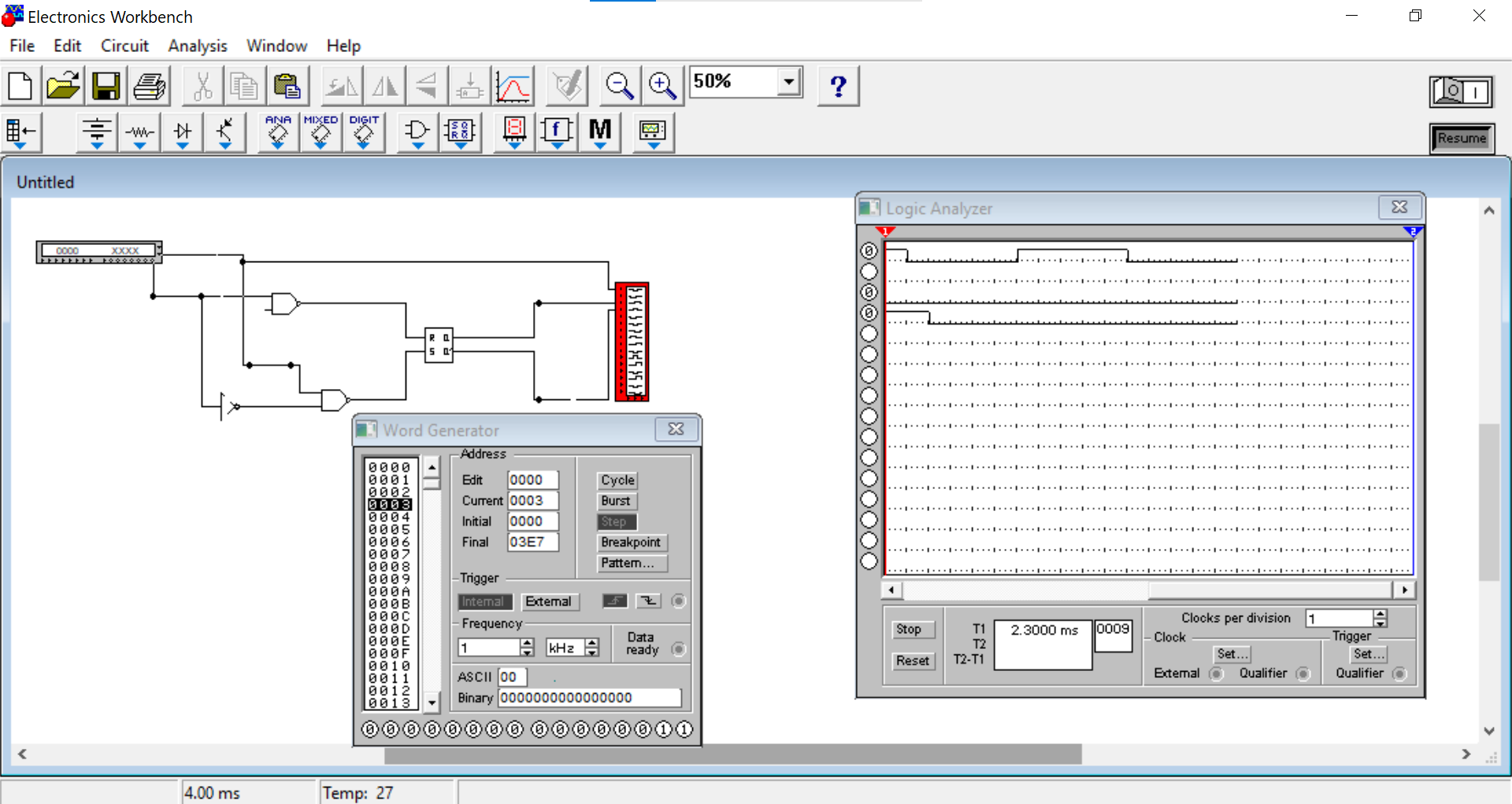
● Word Generator (1 шт)

● Logic Analyzer (1 шт)

● Connector (6 шт)

**Отримана таблиця істинності:**

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **S** | **Q** | **R** |
|  | 0 | Не змінює стан | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | Заборонений стан | 1 |

**D-тригер:** ****

Для цього використано:

● NAND gate (1 шт)

● 2-input NOT gates (2 шт)

● Connector (8 шт)

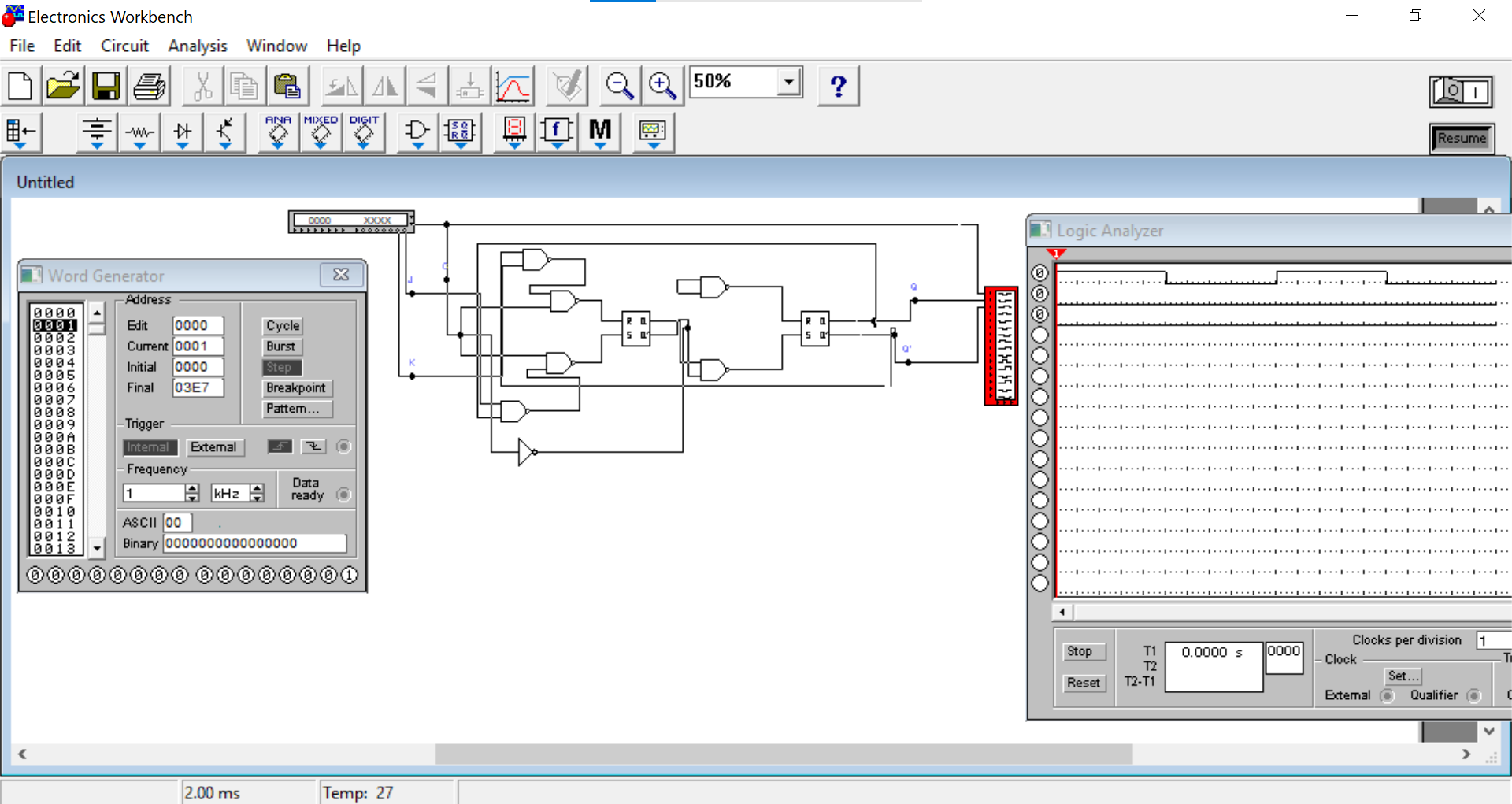
● макроелемент RS-тригер (1 шт)

● Word Generator (1 шт)

● Logic Analyzer (1 шт)

**Отримана таблиця істинності:**

|  |  |  |
| --- | --- | --- |
| **D** | **Q** | **Q’** |
| 1 | 1 | 0 |
| 0 | 0 | 1 |

**JK -тригер:** ****

Для цього використано:

● 3-input AND gates (2 шт)

● Word Generator (1 шт)

● Indicator (2 шт)

● макроелемент RS-тригер (2 шт)

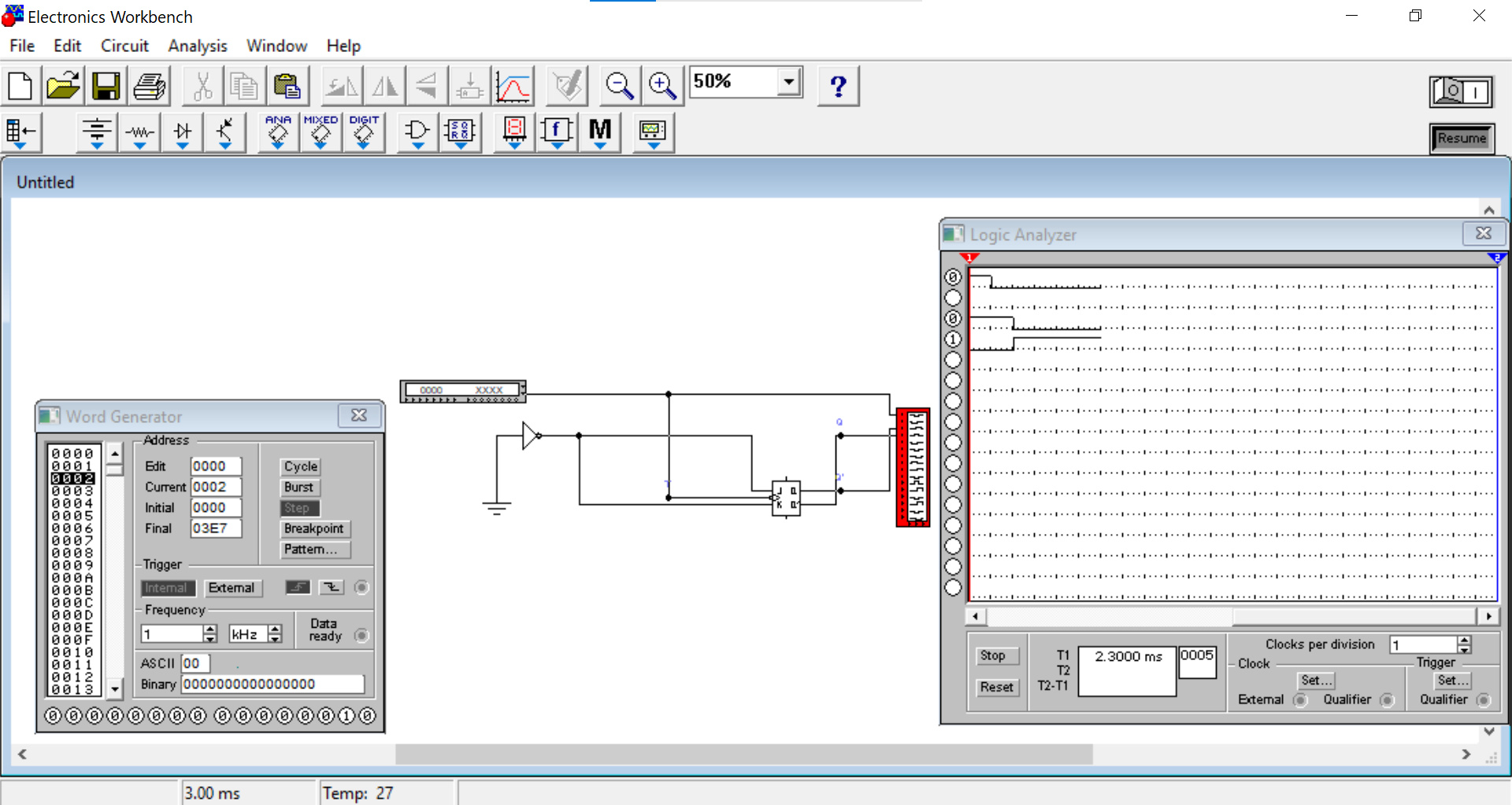
● 2-input AND gates (2 шт)

● NAND gate (1 шт)

● Connector (7 шт)

**Отримана таблиця істинності:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **J** | **C** | **K** | **Q** | **Q’** |
| 0 | 0 | 0 | Без змін | Без змін |
| 0 | 0 | 1 | Без змін | Без змін |
| 0 | 1 | 0 | Без змін | Без змін |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | Без змін | Без змін |
| 1 | 0 | 1 | Без змін | Без змін |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 11 |  | Зміна станів на протилежні | Зміна станів на протилежні |

**T -тригер:** ****

Для цього використано:

● Word Generator (1 шт)

● Logic Analyzer (1 шт)

● макроелемент JK-тригер (1 шт)

● NAND gate (1 шт)

● Ground (1 шт)

● Connector (5 шт)

|  |  |  |
| --- | --- | --- |
| **T** | **Q(t)** | **Q’** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Висновок:** Виконуючи цю лабораторну роботу, я ознайомився з можливостями програмного симулятора Electronics Workbench для побудови схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер) і створені їхні макроелементи, склав таблиці істинності для кожного тригера, щоб перевірити правильність схем.